

**Family list**  
1 family member for:  
**JP2002289864**  
Derived from 1 application.

**1 THIN-FILM TRANSISTOR AND MANUFACTURING METHOD THEREFOR**  
Publication Info: **JP2002289864 A** - 2002-10-04

---

Data supplied from the *esp@cenet* database - Worldwide

DIALOG(R)File 345:In:padcc/Fam.& Legal Stat  
(c) 2004 EPO. All rts. reserv.

18211693

Basic Patent (No,Kind,Date): JP 2002289864 A2 20021004 <No. of Patents:  
001>

**THIN-FILM TRANSISTOR AND MANUFACTURING METHOD THEREFOR**

(English)

Patent Assignee: TOKYO SHIBAURA ELECTRIC CO

Author (Inventor): TORIYAMA SHIGETAKA

IPC: \*H01L-029/786; H01L-021/336; G02F-001/1368; H01L-021/28; H01L-021/768

Derwent WPI Acc No: G 03-063929

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applc No	Kind	Date
JP 2002289864	A2	20021004	JP 200190968	A	20010327 (BASIC)

Priority Data (No,Kind,Date):

JP 200190968 A 20010327

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

07421354 \*\*Image available\*\*

**THIN-FILM TRANSISTOR AND MANUFACTURING METHOD THEREFOR**

PUB. NO.: 2002-289864 [JP 2002289864 A]

PUBLISHED: October 04, 2002 (20021004)

INVENTOR(s): TORIYAMA SHIGETAKA

APPLICANT(s): TOSHIBA CORP

APPL. NO.: 2001-090968 [JP 200190968]

FILED: March 27, 2001 (20010327)

INTL CLASS: H01L-029/786; H01L-021/336; G02F-001/1368; H01L-021/28;  
H01L-021/768

**ABSTRACT**

**PROBLEM TO BE SOLVED:** To prevent the occurrence of voids in the bottom section of a contact, as much as possible.

**SOLUTION:** A thin film transistor is provided with a semiconductor layer 5, in which a source region 7 and a drain region 8 are formed, insulating films 10 and 14 formed on the semiconductor layer 5, and a contact hole made to the source and drain regions 7 and 8 through the insulation films 10 and 14. The contact hole has a cross-sectional shape that becomes narrower in width, as going toward the source or drain region 7 or 8. The source and drain regions 7 and 8 on the bottom of the contact hole are partially shaved. Inclined angles  $\theta_1$  of the cross sections of the partially shaved portions of the source and drain regions 7 and 8 on the bottom of the contact hole, and inclined angle  $\theta_2$  of the insulating film 10 and 14 immediately above the regions 7 and 8 are adjusted to satisfy the relation  $90^\circ > \theta_2 > \theta_1$ .

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2002-289864

(P 2 0 0 2 - 2 8 9 8 6 4 A)

(43)公開日 平成14年10月4日 (2002.10.4)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	マークド (参考)
H01L 29/786		G02F 1/1368	2H092
21/336		H01L 21/28	V 4M104
G02F 1/1368		29/78	616 J 5F033
H01L 21/28		21/90	D 5F110
21/768		29/78	C 627
		密査請求 未請求 請求項の数 5	OL (全7頁)

(21)出願番号 特願2001-90968 (P 2001-90968)

(22)出願日 平成13年3月27日 (2001.3.27)

(71)出願人 000003078  
株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 烏山重隆  
埼玉県深谷市幡羅町1-9-2 株式会社  
東芝深谷工場内

(74)代理人 100075812  
弁理士 吉武 賢次 (外4名)

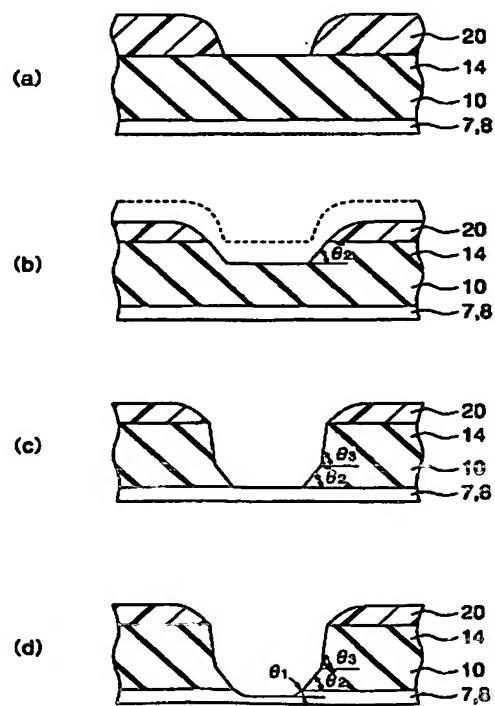
最終頁に続く

(54)【発明の名称】薄膜トランジスタおよびその製造方法

(57)【要約】

【課題】 コンタクト底部でのボイドが発生することを可及的に防止することを可能にする。

【解決手段】 ソース領域7およびドレイン領域8が形成された半導体層5と、この半導体層上に形成された絶縁膜10、14と、ソース領域およびドレイン領域にそれぞれ通ずる絶縁膜に開けられたコンタクトホールと、を備え、コンタクトホールの断面形状は、ソース領域またはドレイン領域に向かうにつれて細くなるように構成され、コンタクトホール底部のソース領域およびドレイン領域の一部が削れており、コンタクトホール底部において一部が削られたソース領域およびドレイン領域の断面傾斜角度 $\theta_1$ とソース領域およびドレイン領域直上の絶縁膜の断面傾斜角度 $\theta_2$ との関係が $90^\circ > \theta_2 > \theta_1$ となる関係を満たしていることを特徴とする。



## 【特許請求の範囲】

【請求項1】ソース領域およびドレイン領域が形成された半導体層と、この半導体層上に形成された絶縁膜と、前記ソース領域およびドレイン領域にそれぞれ通ずる前記絶縁膜に開けられたコンタクトホールと、を備え、前記コンタクトホールの断面形状は、前記ソース領域またはドレイン領域に向かうにつれて細くなるように構成され、前記コンタクトホール底部の前記ソース領域およびドレイン領域の一部が削れており、前記コンタクトホール底部において一部が削られた前記ソース領域およびドレイン領域の断面傾斜角度 $\theta_1$ と前記ソース領域およびドレイン領域直上の前記絶縁膜の断面傾斜角度 $\theta_2$ との関係が $90\text{度} \geq \theta_2 > \theta_1$ となる関係を満たしていることを特徴とする薄膜トランジスタ。

【請求項2】前記絶縁膜内のコンタクトホールは断面が少なくとも2段の連続したテーパ形状を有しており、前記ソース領域およびドレイン領域直上の前記絶縁膜の、下段のテーパ形状に対応する断面傾斜角 $\theta_2$ と、上段のテーパ形状に対応する、絶縁膜の断面傾斜角 $\theta_3$ との間の関係が $90\text{度} \geq \theta_3 > \theta_2$ とを満たしていることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項3】ソース領域およびドレイン領域が形成された半導体層上に絶縁膜を形成するステップと、前記絶縁膜上に、開口部を有するマスクを形成し、このマスクを用いて第1ガス雰囲気で、前記絶縁膜をエッチングすることにより、前記ソース領域およびドレイン領域にそれぞれ達しないテーパ形状のホールを形成するステップと、

その後、前記マスクを用いて、第2ガス雰囲気で前記絶縁膜をエッチングするとともに前記ソース領域およびドレイン領域それぞれの一部分をエッチングすることにより、前記ソース領域およびドレイン領域にそれぞれ通じる、断面が少なくとも3段の連続したテーパ形状のコンタクトホールを開口し、前記コンタクトホールの底部における前記ソース領域およびドレイン領域の、下段のテーパ形状に対応する断面傾斜角 $\theta_1$ と、前記ソース領域およびドレイン領域直上の前記絶縁膜の、中段のテーパ形状に対応する断面傾斜角 $\theta_2$ との関係が $90\text{度} \geq \theta_2 > \theta_1$ となる関係を満たしているようにするステップと、を備えたことを特徴とする薄膜トランジスタの製造方法。

【請求項4】前記コンタクトホールの上段のテーパ形状に対応する前記絶縁膜の断面傾斜角 $\theta_3$ は、 $90\text{度} \geq \theta_3 > \theta_2$ を満たしていることを特徴とする請求項3記載の薄膜トランジスタの製造方法。

【請求項5】前記半導体層はシリコンからなり、前記絶縁膜はシリコン酸化膜であり、前記ソース領域およびドレイン領域にそれぞれ達しないテーパ形状のホールを形成するステップは、フッ素と酸素ガスを少なくとも含む混合ガスで前記絶縁膜をプラズマエッチングし、断面が

少なくとも3段の連続したテーパ形状の前記コンタクトホールを開口するステップは、炭素、水素、フッ素ガスを含んだプラズマで前記絶縁膜および前記半導体層をエッチングすることを特徴とする請求項3または4記載の薄膜トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【利用される産業分野】本発明は、薄膜トランジスタおよびその製造方法に関し、主としてアクティブマトリックス型液晶表示素子に用いられる。

## 【0002】

【従来の技術】一般に、アクティブマトリックス型液晶表示素子では1画素の液晶を1つの薄膜トランジスタで駆動している。この薄膜トランジスタの一般的な製造方法を図4および5を参照して説明する。まず、図4に示すように、ガラス基板2上に、絶縁膜3を形成し、この絶縁膜3上に島状に加工された、例えばポリシリコンからなる半導体層5を形成する。続いて、この半導体層5を覆うようにゲート絶縁膜10を形成し、このゲート絶縁膜10上に、ゲート電極材料、例えばMoWからなる膜を形成する。その後、MoWからなる膜をパターニングしてゲート電極12を形成する。このゲート電極12をマスクとして半導体層5にPH<sub>3</sub>を不純物注入し、ソース領域7およびドレイン領域8を形成する。そして、全面に層間絶縁膜14を成膜する。続いて、層間絶縁膜14に、ソース領域7およびドレイン領域8との接続をとるためのコンタクトホールを開けた後、配線材料、例えばMoを薄く堆積し、続いてA1を堆積し、パターニングすることにより信号線等になる配線18を形成する。すなわち配線18は、Moからなる膜16とA1からなる膜17とが積層された構造となる。ソース領域7およびドレイン領域8は半導体領域で、信号線配線は金属であることが多い。このため、金属とのオーミック接触を取るためにソースおよびドレインとなる半導体領域7、8の表面に磷(P)やボロン(B)が不純物として注入されていることが多い。また、コンタクトホールの加工は微細化の要求からプラズマエッチングによって加工されることが多い。プラズマエッチングとは真空中においてエッチングガスを電離させることで活性種を発生させ、被エッチング物と気層一固層反応によって生じる揮発性生成物を形成除去する技術である。信号線配線を形成後、保護膜(図示せず)を成膜し、この保護膜にコンタクトホールを開け、画素電極を形成することで薄膜トランジスタを形成している。

【0003】層間絶縁膜14のコンタクトホール形成時のプラズマエッチングでは、例えば層間絶縁膜にSiO<sub>2</sub>を、半導体領域7、8にSiを用いた場合、エッチングガスとして、CF<sub>4</sub>と水素の混合ガスを用いてエッチングする。これらのガスを用いると基板表面ではガス自身の重合によるデポジションとプラズマで生成したFイ

オンによるエッティングとの競争反応によって反応が進行する。SiO<sub>2</sub>からなる層間絶縁膜14中には酸素が含まれるのでSiO<sub>2</sub>をエッティングしている間は層間絶縁膜14からの酸素供給によって炭素主体の重合膜が酸素と結合して二酸化炭素などになりデポジションが進行しない。一方、半導体領域7、8を構成しているSiをエッティングしようとすると膜中からの酸素供給が無いために、デポジションが優勢になりエッティングが進行しなくなる。こうしてSiO<sub>2</sub>のみをエッティングし、コンタクトに必要なSiを残存させることができる。

【0004】エッティングにはRIE(Reactive Ion Etching)と呼ばれるリアクティブ・イオン・エッティング装置が用いられることが少なくない。特にイオンの引き込み電圧とプラズマ生成のための電圧発生装置が分離した2周波の電源をもつリアクタが用いられることが多い。誘導結合型やECRプラズマもこの中にはいる。

【0005】コンタクトホールサイズの微細化の要求によりコンタクトホール径は小さくなる。金属配線18とSiとのコンタクト抵抗はコンタクト面積Sに反比例するため、コンタクトホールサイズが小さくなると1/Sでコンタクト抵抗が高くなる。これを解決する方法として、コンタクトホール底部のSiの一部をエッティングし膜厚方向に面積を広げる方法が提案されている。たとえば、コンタクトホール径が2μmとすると、コンタクト面積は3.14μm<sup>2</sup>となる。これを膜厚方向に0.1μmだけ膨らむと増加面積は0.62μm<sup>2</sup>となり、合計で3.76μm<sup>2</sup>と拡張できる。これにより、コンタクトホールが微細化されてもコンタクト抵抗を低く保つことが可能となるものである。

#### 【0006】

【発明が解決しようとする課題】コンタクトホールのエッティングは前述した通り、エッティングガスの重合によるデポジションとFイオンによるエッティングの競争反応で行う。コンタクト底部は基板側に引き込み電圧をかけていため基板垂直にFイオンが入射し、エッティングがデポジションより優勢になる。一方、コンタクトホール側壁ではFイオンの入射方向とは垂直になり入射量が少ないため、デポジションが優勢になる。すなわち、コンタクトホール側壁に重合膜が堆積し、これがエッティング保護膜として働くためコンタクトホール形状は垂直形状に近い形状となる。従って、これに続いてエッティングするSiも垂直に近い形状で加工される。Siが垂直に加工されると、その上に配備される配線金属の被覆性が悪くなる。特に、金属配線18をスパッタで形成すると、図5に示すように、コンタクト底部でポイド30ができる、このためコンタクト抵抗が増加したりコンタクト不良が生じ、歩留まりが低下するという問題が発生する。

【0007】本発明は上記事情を考慮してなされたものであって、コンタクト底部でのポイドが発生することを可及的に防止することができる薄膜トランジスタおよび

その製造方法を提供することを目的とする。

#### 【0008】

【課題を解決するための手段】本発明による薄膜トランジスタは、ソース領域およびドレイン領域が形成された半導体層と、この半導体層上に形成された絶縁膜と、前記ソース領域およびドレイン領域にそれぞれ通する前記絶縁膜に開けられたコンタクトホールと、を備え、前記コンタクトホールの断面形状は、前記ソース領域またはドレイン領域に向かうにつれて細くなるように構成さ

10 れ、前記コンタクトホール底部の前記ソース領域およびドレイン領域の一部が削れており、前記コンタクトホール底部において一部が削られた前記ソース領域およびドレイン領域の断面傾斜角度θ<sub>1</sub>と前記ソース領域およびドレイン領域直上の前記絶縁膜の断面傾斜角度θ<sub>2</sub>との関係が90度>θ<sub>2</sub>>θ<sub>1</sub>となる関係を満たしていることを特徴とする。

【0009】このように構成された本発明の薄膜トランジスタによれば、半導体層の断面傾斜角度θ<sub>1</sub>を絶縁膜の傾斜角度θ<sub>2</sub>より小さくすることで、上層にくる配線20 金属などの被覆性を向上させ、コンタクトホール底部でのポイドの発生を可及的に防止することが可能となり、これによりコンタクト抵抗増加を避けることができる。

【0010】なお、前記絶縁膜内のコンタクトホールは断面が少なくとも2段の連続したテーパ形状を有しております、前記ソース領域およびドレイン領域直上の前記絶縁膜の、下段のテーパ形状に対応する断面傾斜角θ<sub>2</sub>と、上段のテーパ形状に対応する、絶縁膜の断面傾斜角θ<sub>3</sub>との間の関係が90度≥θ<sub>3</sub>>θ<sub>2</sub>とを満たしているよう構成することが好ましい。

30 【0011】ここでいう半導体層のもつ断面傾斜角度θ<sub>1</sub>は直上に当たる絶縁膜の断面傾斜角度θ<sub>2</sub>に大きく依存する。θ<sub>2</sub>は被覆性が良くなる傾斜角度である必要がある。ところが、θ<sub>2</sub>を形成しようとすると側壁のデポジションを減らすことになり、半導体層との選択エッティングが困難となる。そのため、はじめにθ<sub>2</sub>となる角度で絶縁膜をエッティングし、続いて半導体層との選択エッティングができるエッティングガスに変えて絶縁膜をエッティングする。デポジションが起こるガスで絶縁膜をエッティングするとほぼ直角となるθ<sub>3</sub>の角度で形成され、絶縁膜の形状が90度≥θ<sub>3</sub>>θ<sub>2</sub>となる。このようにすることで半導体層に対してある程度選択性を有し(要は半導体層のエッティング量をコントロールできる)、かつ、半導体層の断面傾斜角θ<sub>1</sub>をコントロールでき、コンタクト不良を低減できる。

40 【0012】また、本発明による薄膜トランジスタの製造方法によれば、ソース領域およびドレイン領域が形成された半導体層上に絶縁膜を形成するステップと、前記絶縁膜上に、開口部を有するマスクを形成し、このマスクを用いて第1ガス雰囲気で、前記絶縁膜をエッティングすることにより、前記ソース領域およびドレイン領域に

それぞれ達しないテーパ形状のホールを形成するステップと、その後、前記マスクを用いて、第2ガス雰囲気で前記絶縁膜をエッティングするとともに前記ソース領域およびドレイン領域それぞれの一部分をエッティングすることにより、前記ソース領域およびドレイン領域にそれぞれ通じる、断面が少なくとも3段の連続したテーパ形状のコンタクトホールを開口し、前記コンタクトホールの底部における前記ソース領域およびドレイン領域の、下段のテーパ形状に対応する断面傾斜角 $\theta_1$ と、前記ソース領域およびドレイン領域直上の前記絶縁膜の、中段のテーパ形状に対応する断面傾斜角 $\theta_2$ との関係が90度 $>\theta_2 >\theta_1$ となる関係を満たしているようにするステップと、を備えたことを特徴とする。

【0013】なお、前記コンタクトホールの上段のテーパ形状に対応する前記絶縁膜の断面傾斜角 $\theta_3$ は、90度 $\geq\theta_3 >\theta_2$ を満たしていることが好ましい。

【0014】なお、前記半導体層はシリコンからなり、前記絶縁膜はシリコン酸化膜であり、前記ソース領域およびドレイン領域にそれぞれ達しないテーパ形状のホールを形成するステップは、フッ素と酸素ガスを少なくとも含む混合ガスで前記絶縁膜をプラズマエッティングし、断面が少なくとも3段の連続したテーパ形状の前記コンタクトホールを開口するステップは、炭素、水素、フッ素ガスを含んだプラズマで前記絶縁膜および前記半導体層をエッティングすることが好ましい。

【0015】絶縁膜の断面傾斜角 $\theta_2$ を形成するのにフッ素と酸素ガスを少なくとも含む混合ガスでプラズマエッティングすることで $\theta_2$ の断面傾斜角度を低めることを可能とする。統いて、絶縁膜の断面傾斜角を $\theta_3$ となるようにデポジションが生じるエッティングガスである、炭素、水素、フッ素を含むガスでエッティングする。これによって半導体層との選択エッティング性を向上させ、かつ、断面傾斜角 $\theta_2$ をもつ絶縁膜を異方性エッティングする。異方性エッティングすることで、 $\theta_2$ をもつ絶縁膜の形状は断面傾斜角 $\theta_2$ を保ちながら相似形で縮小することになる。縮小につられてコンタクトホール径が広がり、直下の半導体層に $\theta_2 >\theta_1$ の低断面傾斜角度の形状が得られ、コンタクト不良を低減できる。

【0016】

【発明の実施の形態】本発明による薄膜トランジスタの一実施形態を図面を参照して説明する。この実施形態の薄膜トランジスタはアクティブマトリックス型液晶表示素子に用いられる。まず、アクティブマトリックス型液晶表示素子について図3を参照して説明する。一般にアクティブマトリックス型液晶表示素子は、各々が、電極を有する2枚の透明基板の間に液晶を狭持し、2枚の基板の周囲が液晶封入口を除いて接着剤で固定され、上記液晶封入口が封止材で封止された構成となっている。例えば図3に示すように、アクティブマトリックス型液晶表示素子は、アレイ基板100と、対抗基板200との

間に液晶を狭持した構成となっている。アレイ基板100は透明な絶縁性基板（たとえばガラス基板）101の表示領域102aに、マトリックス状に配設された複数の信号線103および複数の走査線104と、上記信号線103と走査線104との交差部毎に形成された薄膜トランジスタ（以下、TFT（Thin Film Transistor）とも云う）からなるスイッチング素子105と、このスイッチング素子毎に設けられた画素電極106と、が形成された構成となっている。各スイッチング素子105のゲートは対応する走査線104に接続され、ソースおよびドレインのうちの一方が対応する信号線103に接続され、他方が画素電極106に接続された構成となっている。

【0017】またアレイ基板100は、透明な絶縁性基板101の周辺の非表示領域102bに、TFTを有する駆動回路110およびこれらの駆動回路110に接続されて外部から電力や信号を供給するための外部端子120が更に形成された構成となっている。

【0018】一方、対抗基板200は透明な絶縁性基板201の位置表面上にITO（Indium Tin Oxide）からなる透明導電膜が対向電極203として形成された構成となっている。

【0019】これらの基板100、200は所定の間隔を有するように対向配置される。そして、アレイ基板100の表示領域102aを囲むように非表示領域102b上に塗布したシール材300によって貼り合わせられる。シール材300には、図3に示すように液晶材料を注入する注入口301が形成されている。そして上記基板100、200の貼り合わせ後にこの注入口301を通して液晶組成物（図示せず）が間隙内に注入され、封止されることによって液晶表示素子が完成される。なお、液晶表示素子がカラー液晶表示素子である場合には、対抗基板200またはアレイ基板100の一方にカラーフィルタ層が形成される構成となる。

【0020】次に、本実施形態の薄膜トランジスタの製造方法を図1および図2を参照して説明する。図1は、本発明による薄膜トランジスタのソース・ドレイン領域とのコンタクトホールを開口する際の工程断面図であり、図2は、本発明による薄膜トランジスタの構成を示す断面図である。

【0021】まず、図2に示すように、ガラス基板2上にPECVD（Plasma Enhanced Chemical Vapor Deposition）法により絶縁膜3を形成し、この絶縁膜3上にアモルファスシリコン層5を成膜する。このアモルファスシリコン層5の膜厚は50nmとした。統いて、このアモルファスシリコン層5が形成された基板を例えアーチル炉中に置き、500°Cで1時間加熱し、アモルファスシリコン中に含まれる水素量を減らす。次に、アモルファスシリコン膜5を結晶化させるために、例えXeCl等のエキシマーレーザーをアモルファスシリコン

層5上から照射し、アモルファスシリコン層5をポリシリコン層5とする。その後、フォトリソ工程を行ってポリシリコン層5を島状にエッチングする。エッチングはCF<sub>4</sub>等のフッ素系のガスを用いたダウンフロー型のドライエッチングで実施した。エッチング後、使用したレジストマスクは有機アルカリ液で剥離する。

【0022】次に、PE-CVD法を用いてシリコン酸化膜からなるゲート絶縁膜10を形成した後、このゲート絶縁膜10上に、ゲート電極となるモリブデンとタンゲステンの合金(以下、MoWと云う)膜を成膜する。ゲート絶縁膜10および合金膜の膜厚は、それぞれ100nm、300nmとした。

【0023】次に、MoW膜上にフォトレジストマスクを形成し、フォトリソグラフィ技術を用いてMoW膜をゲート電極12となるように、フッ素と酸素を含む混合ガスでプラズマエッチングした。エッチング後、使用したレジストマスクは有機アルカリ液で剥離する。

【0024】この後、ゲート電極12をマスクとして、ソース・ドレインとなる部分にホスフィン(PH<sub>3</sub>)を注入する。これはポリシリコン膜5の抵抗を下げ、金属とのオーミックコンタクトを取るためである。PH<sub>3</sub>のポリシリコン層への注入は加速電圧70keVでドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ とした。このときシート抵抗は1k $\Omega/\text{cm}^2$ であった。この後、500°Cで熱処理を行い、ソース領域7およびドレイン領域8の活性化処理を行う。

【0025】次に、PE-CVD法を用いてシリコン酸化物からなる層間絶縁膜14を膜厚500nmで成膜した。続いて、フォトリソグラフィ工程を行って、形成したソース領域7およびドレイン領域8に信号線配線とのコンタクトをとるためのコンタクトホールを形成する。

【0026】このコンタクトホールの形成を図1を参考して説明する。まず、図1(a)に示すように、層間絶縁膜14上に開口部を有するフォトレジストパターン20を形成する。

【0027】続いて、図1(b)に示すように、ヘキサフルオロ硫黄(SF<sub>6</sub>)ガスと酸素ガスの混合比が7:3の混合ガスを用いて、シリコン酸化膜からなる層間絶縁膜14を膜厚方向に300nmエッチングする。エッチング装置はイオン引き込み電源を有する誘導結合型プラズマエッチング装置を用いた。これは層間絶縁膜14をエッチングする装置と揃えることで連続処理することが可能でスループットが向上するためである。もちろんそういう要求がなければ、装置にこだわる必要はないが、基板を保持する電極側に電源を有するタイプがほしい。というのは、シリコン酸化膜はイオン性エッチングでないとエッチング速度が遅いためである。このとき、断面傾斜角θ<sub>2</sub>は50°であった(図1(b)参照)。断面傾斜角θ<sub>2</sub>はエッチングするガスのフッ素と酸素のガス比に依存する。酸素ガスを多くするとマスク

として用いているレジストのエッチング量が多くなり、コンタクトホールパターンが拡大する。パターン端部が拡大するため、拡大する量に応じて断面傾斜角θ<sub>2</sub>は小さくなる。断面傾斜角度θ<sub>2</sub>を小さくするとパターンが広がり、パターン精度が落ちるためコンタクト不良率との兼ね合いで適当な角度を決める。本実施形態では、50°としたが、製品の要求仕様に応じてはもっと低角度も可能だし、広角度でも構わない。ただし、あまり広角度にするとコンタクト不良を引き起こす。経験的には60°以下が妥当である。

【0028】その後、シクロオクタフルオロブタン(以下、C<sub>8</sub>F<sub>18</sub>と略す)ガスと水素(以下H<sub>2</sub>と略す)ガスを3:7で混合させたガスを用いてプラズマエッチングする。プラズマエッチングにはイオン引き込み電源を有する誘導結合型プラズマエッチング装置を用いた。エッチング時間は削れて生成したガスのプラズマ発光をモニターし、エッチングの終点(エッチングすべき層間絶縁膜14およびゲート絶縁膜10が無くなった時点)を検出し、その後、更にポリシリコンからなる半導体層(ソース領域7またはドレイン領域8)を削るためにこれまでに有したエッチング時間の50%の時間を同一エッチング条件で追加エッチングした。こうして層間絶縁膜14の断面傾斜角θ<sub>3</sub>は85°で形成された(図1(c)参照)。このとき、ポリシリコンからなる半導体層7、8は約20nm削れ、この半導体層の断面傾斜角θ<sub>3</sub>は45°であった(図1(d)参照)。

【0029】エッチング後、レジストマスク20を有機アルカリ溶液で取り除き、図2に示すように、例えばモリブデン(以下Moとも云う)とアルミニウム(以下Alとも云う)の積層膜をスパッタ法により成膜し、信号線配線18を形成する。Mo膜1-6およびAl膜1-7の膜厚はそれぞれ50nm、500nmとした。このとき、コンタクトホール部のMo膜1-6とAl膜1-7の積層膜18の被覆性は良好であった。

【0030】続いて、フォトリソ工程を行って信号線配線となるようにMo膜1-6とAl膜1-7の積層膜18をエッチングした。エッチングには磷酸と硝酸の混合酸を用いてエッチングした。

【0031】続いて、基板全面に保護膜として、シリコン窒化膜(図示せず)をPE-CVD法で成膜した。膜厚は500nmとした。続いて、信号線の上部にフォトリソグラフィ工程とエッチングを行ってコンタクトホールを形成した。エッチングはテトラフルオロメタン(CF<sub>4</sub>)ガスと酸素ガスを用いたプラズマエッチングによって行った。最後に、前記コンタクトホールを介して画素電極(図示せず)となる透明導電膜をスパッタ法により成膜し、フォトリソ工程およびエッチングを行って画素形状にパターニングした。エッチングには蔥酸を用いた。

【0032】こうして形成した、アクティブマトリック

ス型液晶表示素子は、コンタクト抵抗は良好で歩留まりが向上した。

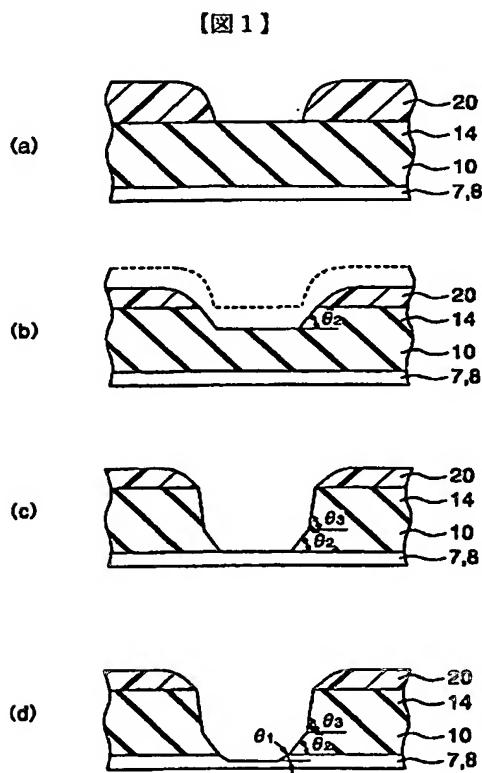
【0033】以上説明したように、本実施形態によって形成された薄膜トランジスタは、コンタクトホール底部の半導体層7、8が低テーパー形状に加工され、層間絶縁膜14およびゲート絶縁膜10の断面形状が2種類の角度によって構成される。半導体層7、8の断面傾斜角度を $\theta_1$ 、半導体層7、8直上の絶縁膜（ゲート絶縁膜10）の断面傾斜角度を $\theta_2$ 、その上の絶縁膜（層間絶縁膜14）の断面傾斜角度を $\theta_3$ とすると、 $90^\circ \geq \theta_3 > \theta_2 > \theta_1$ の関係を満足する。半導体層7、8に $\theta_1$ の断面傾斜角度を持たせることで、コンタクトホール底部での配線材料の被覆性が向上し、ボイドの発生を可及的に防止することができる。このため、コンタクト抵抗増大によるコンタクト抵抗不良低減が可能となる。

【0034】なお、上記実施形態においては、薄膜トランジスタはコブラナ型であったが、正スタガ型または逆スタガ型の薄膜トランジスタに本発明を適用できることは云うまでもない。

### 【0035】

【発明の効果】以上述べたように、本発明によれば、ボイドの発生を可及的に防止することができる。

### 【図面の簡単な説明】



【図1】本発明による薄膜トランジスタのソース・ドレイン領域とのコンタクトホールを開口する際の工程断面図。

【図2】本発明による薄膜トランジスタの構成を示す断面図。

【図3】アクティブマトリクス型液晶表示素子の構成を示す図。

【図4】薄膜トランジスタの一般的構成を示す断面図。

【図5】従来の薄膜トランジスタの問題点を説明する断面図。

### 【符号の説明】

2	ガラス基板
3	絶縁膜
5	半導体層
7	ソース領域
8	ドレイン領域
10	ゲート絶縁膜
12	ゲート電極
14	層間絶縁膜
16	MOW膜
17	AI膜
18	配線
20	レジストパターン

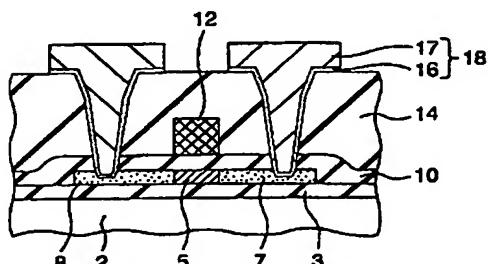
10

20

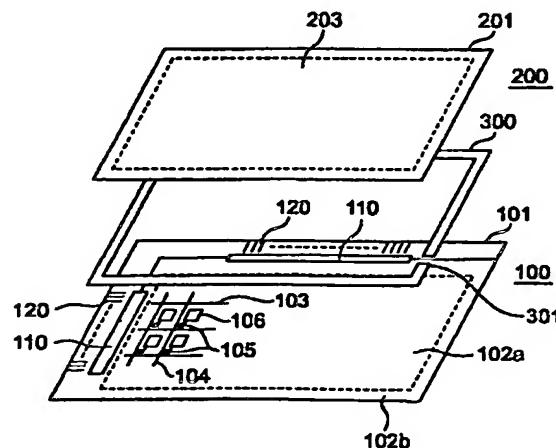
20

20

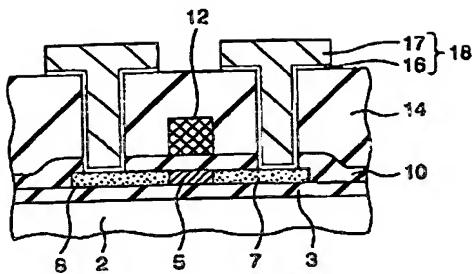
### 【図2】



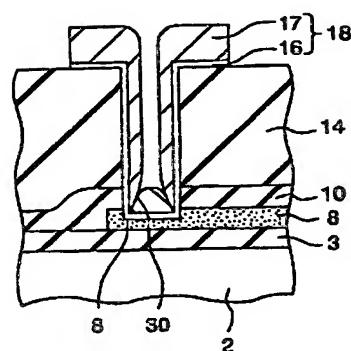
### 【図3】



【図4】



【図5】



フロントページの続き

Fターム(参考) 2H092 JA25 JA34 JA37 JA41 JA46  
 KA04 KA10 KA12 KA18 KB24  
 KB25 MA07 MA08 MA18 MA27  
 NA24 NA29  
 4M104 BB16 CC01 DD08 DD12 DD16  
 DD37 DD65 FF17 FF22 FF27  
 GG20 HH13 HH15  
 5F033 HH22 JJ08 JJ20 KK04 MM05  
 MM13 NN06 NN07 NN13 NN32  
 PP15 QQ08 QQ09 QQ10 QQ12  
 QQ15 QQ34 QQ37 RR04 SS15  
 VV15 WW00  
 5F110 AA26 BB01 CC02 DD02 DD11  
 EE06 FF02 FF30 GG02 GG13  
 GG25 HJ01 HJ04 HJ13 HJ23  
 HL03 HL04 HL11 HL14 HL23  
 NN03 NN04 NN23 NN24 NN35  
 NN72 PP03 PP35 QQ04 QQ11